

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-263370

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 12/08

識別記号

庁内整理番号

7623-5B

F I

G 0 6 F 12/08

技術表示箇所

E

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号

特願平7-67968

(22)出願日

平成7年(1995)3月27日

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 白鳥 司

神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内

(72)発明者 川澄 篤

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

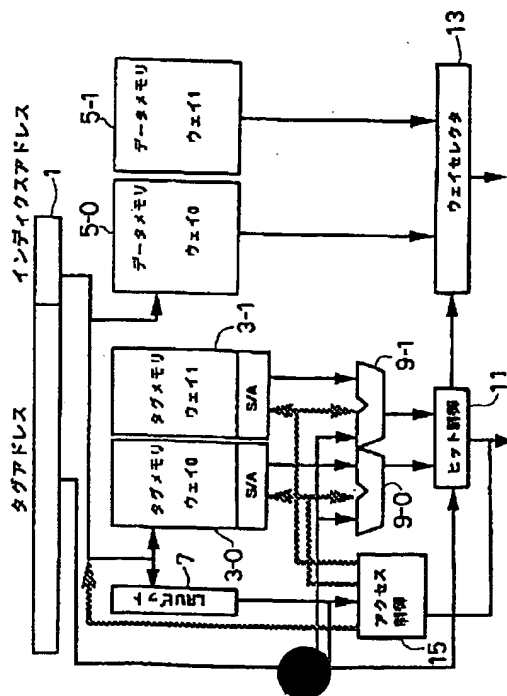
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 キャッシュメモリシステム

(57)【要約】

【目的】 低消費電力のキャッシュメモリシステムを提供することを目的とする。

【構成】 消費電力の抑えられたキャッシュメモリシステムが示されている。このキャッシュメモリシステムは、アクセスすべきデータのタグアドレスとインデックスアドレスを保持するアドレスレジスタと、前記インデックスアドレスに対応するデータを格納する複数のデータメモリと、前記複数のデータメモリと1対1に対応して設けられ、前記インデックスアドレスに対応して前記アドレスレジスタ内のデータのタグアドレスを格納する複数のタグメモリと、前記インデックスアドレスに基づいて前記タグメモリが出力するアドレスと前記アドレスレジスタのタグアドレスを比較してヒット又はミスを決める複数のタグ比較器と、夫々のインデックスアドレスについて最も最近ヒットしたデータメモリを示す情報を保持した参照頻度情報レジスタとを備えており、前記参照頻度情報レジスタからの情報に基づいて、最も最近ヒットしたタグメモリからのみアドレスの出力を行う。



## 【特許請求の範囲】

【請求項1】 アクセスすべきデータのタグアドレスとインデックスアドレスを保持するアドレスレジスタと、前記インデックスアドレスに対応するデータを格納する複数のデータメモリと、前記複数のデータメモリと1対1に対応して設けられ、前記インデックスアドレスに対応して前記アドレスレジスタ内のデータのタグアドレスを格納する複数のタグメモリと、前記インデックスアドレスに基づいて前記タグメモリが出力するアドレスと前記アドレスレジスタのタグアドレスを比較してヒット又はミスを決める複数のタグ比較器と、夫々のインデックスアドレスについて最も最近ヒットしたデータメモリを示す情報を保持した参照頻度情報レジスタと、前記参照頻度情報レジスタからの情報に基づいて、最も最近ヒットしたタグメモリに対してのみアクセスを行うアクセス制御回路を備えたことを特徴とするキャッシュメモリシステム。

【請求項2】 前記参照頻度情報レジスタは、データメモリの更新の時に破棄するデータを決定するのに用いられるLRUビットレジスタであることを特徴とする請求項1に記載のキャッシュメモリシステム。

【請求項3】 前記参照頻度情報レジスタは、最も最近ヒットしたタグメモリを示すMRUビットレジスタであることを特徴とする請求項1に記載のキャッシュメモリシステム。

【請求項4】 前記アクセス制御回路は、制御信号によって前記タグメモリの全てに対して同時にアクセスを行うモードに切り替わることを特徴とする請求項3に記載のキャッシュメモリシステム。

【請求項5】 キャッシュされているデータを保持する複数のデータメモリと、この複数のデータメモリに対応して設けられ前記データのタグアドレスを格納する複数のタグメモリと、データメモリ及びタグメモリに対応して設けられ、アクセスすべきデータのタグアドレスと前記タグメモリの内容と比較し、ヒット又はミスを決める複数のタグ比較器と、最も最近ヒットしたタグメモリを示す情報を保持した参照頻度情報レジスタとからなるキャッシュメモリシステム。

【請求項6】 アクセスすべきデータのタグアドレスとインデックスアドレスを保持するアドレスレジスタと、前記インデックスアドレスに対応するデータを格納する複数のデータメモリと、前記複数のデータメモリと1対1に対応して設けられ、前記インデックスアドレスに対応して前記アドレスレジスタ内のデータのタグアドレスを格納する複数のタグメモリと、前記インデックスアドレスに基づいて前記タグメモリが出力するアドレスと前記アドレスレジスタのタグアドレスを比較してヒット又はミスを決める複数のタグ比較器と、前記タグ比較器での比較結果に応じて、前記データメモリへのアクセスを行うアクセス制御回路を備え、前記タグ比較器には、夫

々のインデックスアドレスについて最も最近ヒットしたデータメモリを示す情報を保持した参照頻度情報レジスタが設けられ、最も最近ヒットしたタグメモリに対してのみアクセスを行うことを特徴とするキャッシュメモリシステム。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、セットアソシアティブ方式によるキャッシュメモリシステムに関する。

【0002】

【従来の技術】 キャッシュメモリの格納ブロックのマッピング方式として、現在最もよく使われている方式として、セットアソシアティブ方式がある。

【0003】 従来、格納ブロックのマッピングをnウェイセットアソシアティブ方式で行うキャッシュメモリにおいては、キャッシュ中に目的のブロックが存在するかどうかを参照する場合、参照アドレスの一部であるインデックスアドレスにより格納されたブロックを参照する。nウェイセットアソシアティブ方式ではこのブロックをnウェイの数だけ同一のインデックスアドレスで参照される格納箇所（セット）に対して持っているため参照時にはnウェイの数のタグアドレスを同時に読み出し参照アドレスのタグアドレスと比較してキャッシュ中に存在するかどうか（ヒット／ミス）を判定している。そのような構成をもメモリの例を図8に示す。この例では2ウェイセットアソシアティブ方式で制御されるキャッシュメモリを示す。

【0004】 即ち、このキャッシュメモリシステムは、タグアドレスとインデックスアドレスを保持するアドレスレジスタ101と、2つのタグメモリ103-0、103-1と、このタグメモリのそれぞれに対応して設けられた2つのデータメモリ105-0、105-1と、夫々のウェイ同士の比較で最近の使用状況を示すLRUビットを保持するLRUビットレジスタ107と、夫々のタグメモリに設けられ、アドレスレジスタ101からのタグアドレスと夫々のタグメモリからのタグアドレスとのヒット／ミスを判定する2つのタグ比較器109-0、109-1と、このタグ比較器109-0、109-1からのヒット／ミス信号とLRUビットの情報からメモリアccessに必要な制御信号を出力するヒット制御回路111と、キャッシュヒットの場合、このヒット制御回路111からの信号を受け、データメモリ105-0、105-1のどちらかのデータを選択して出力するウェイセクタ113からなっている。

【0005】

【発明が解決しようとする課題】 以上のような構成を持つnウェイセットアソシアティブ方式のキャッシュメモリでは参照の手順においてタグメモリ103-0、103-1のウェイ0、1を同時に読み出しアドレスレジスタ101のタグアドレスと比較するタグ比較器109-

0、109-1で比較を行い合っているか否かを検出し、合っていれば合っているウェイと対になるデータメモリを読み出す。これら一連の流れを図9に示す。ここでタグメモリの読み出し、ヒットチェックに着目すると同時に読み出されるウェイ0と1は参照タグアドレスに対して少なくともどちらかが必ずミスすることとなるため毎回のアクセスごとに少なくとも1ウェイ分のタグメモリ読み出し動作、比較動作分の無駄な電力消費が行われる結果となる。

【0006】本発明の目的は、消費電力の小さいキャッシュメモリシステムを提供することである。

【0007】

【課題を解決するための手段】前記目的を達成する為に、本発明によるキャッシュメモリシステムは、アクセスすべきデータのタグアドレスとインデックスアドレスを保持するアドレスレジスタと、前記インデックスアドレスに対応するデータを格納する複数のデータメモリと、前記複数のデータメモリと1対1に対応して設けられ、前記インデックスアドレスに対応して前記アドレスレジスタ内のデータのタグアドレスを格納する複数のタグメモリと、前記インデックスアドレスに基づいて前記タグメモリが出力するアドレスと前記アドレスレジスタのタグアドレスを比較してヒット又はミスを決める複数のタグ比較器と、夫々のインデックスアドレスについて最も最近ヒットしたデータメモリを示す情報を保持した参照頻度情報レジスタとを備え、前記参照頻度情報レジスタからの情報に基づいて、最も最近ヒットしたタグメモリからのみアドレスの出力を行うことを特徴とする。

【0008】

【作用】すなわち、本発明では図9に示される従来のnウェイセットアソシアティブ方式のキャッシュメモリの参照時に起こるミスアクセス（図中ではウェイ1のタグアクセス）を極力減らすことが出来る。その為、以前の参照頻度情報を用いて参照ウェイを限定して参照が行われる。ここで言う参照頻度情報とはnウェイを含むセットに対しての参照で最も最近参照（ヒット）したウェイを示すものでこのウェイに対してはプログラムの時間的局所参照性により再度参照される可能性が高いことからこの情報により読み出すウェイを限定しても高い確率でヒットすることが期待できる。もちろん、この情報による限定参照でミスした場合は次に残りのウェイに対して参照を行うためnウェイセットアソシアティブ方式の利点は生かされる。

【0009】

【実施例】図1及び図2を参照して、本発明の好適な実施例による制御方式を説明する。図1は、本発明の第1の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。又、図2は、この方式による、キャッシングのタイミングを説明するタイミングチャートであ

る。

【0010】このキャッシュメモリシステムは、タグアドレスとインデックスアドレスを保持するアドレスレジスタ1と、2つのタグメモリ3-0、3-1と、このタグメモリのそれぞれに対応して設けられた2つのデータメモリ5-0、5-1と、夫々のウェイ同士の比較で最近の使用状況を示すLRUビットを保持するLRUビットレジスタ7と、夫々のタグメモリに設けられ、アドレスレジスタ1からのタグアドレスと夫々のタグメモリからのタグアドレスとのヒット/ミスを判定する2つのタグ比較器9-0、9-1と、このタグ比較器9-0、9-1からのヒット/ミス信号とLRUビットの情報からメモリアクセスに必要な制御信号を出力するヒット制御回路1と、キャッシュヒットの場合、このヒット制御回路1からの信号を受け、データメモリ5-0、5-1のどちらかのデータを選択して出力するウェイセクタ13を備えている。

【0011】又、従来の方法とは異なり、タグメモリへの最初のアクセス（参照）は、何れか一方のみにたいして行われる。この制御を行うために、タグメモリ3-0、3-1とタグ比較器9-0、9-1には、LRUビットレジスタ7に接続されたアクセス制御回路15が設けられている。このアクセス制御回路15は、LRUビットレジスタ7から参照頻度情報を得て、より最近ヒットしたウェイに対してのみ参照を行う。参照は、主にタグメモリ3-0、3-1のセンスアンプS/Aとタグ比較器9-0、9-1を動作させることによって行われる。

【0012】図2に本発明の2ウェイセットアソシアティブ方式のキャッシュメモリの参照動作を示す。まず、参照アドレスを受け付けたキャッシュメモリはそのアドレスをインデックスアドレスとタグアドレスに分けて、インデックスアドレスによりウェイ0、1を一組とするセットに対してアクセスする。そこでまず参照頻度情報であるLRUビットレジスタ7に対してアクセスを行う。この例で示すLRUビットとは、nウェイセットアソシアティブ方式のキャッシュメモリで広く使われるミス時の置換アルゴリズムにおいて参照頻度を示す情報であり、この情報により置換（キャッシュから削除する）ウェイが決定される。本発明の参照頻度を決定する情報としてこの情報を利用できる。この情報は参照頻度が低いウェイを指し示しているため2ウェイセットアソシアティブ方式の場合はこの情報の示すウェイとは別のウェイが参照頻度が高いこととなる。そこでLRU情報を読み出しこの情報に基づき参照するウェイを決定し参照を行う。

【0013】図2の上側の例ではウェイ0に限定してアクセスを行い参照に成功（ヒット）して、それに対応するウェイ0のデータメモリに対してアクセスを行っている。この結果、参照時には一ウェイに対してしか参

照していない。よって、図8、図9に示す従来例に比べてウェー1個分のアクセスについて低消費化出来ることが分る。

【0014】図2の下側の例は参照情報であるLRUメモリの情報に基づき参照を行ったが失敗（ミス）した場合を示している。すなわち、LRU情報によりウェー0を限定参照したがミスとなった、そこで次にLRU情報とは別の（参照されなかった）ウェーにアクセスする、その結果参照に成功（ヒット）している。よってこのように制御することで低消費化とnウェーセットアソシア

ティブ方式の利点を両立させることが可能となる。  
【0015】このような方法によって、図1に示された本発明によるキャッシュメモリシステムでは、タグメモリのアクセスに消費される電力（多くはセンスアンプS/Aで消費される）は、図8に示された従来例によるキャッシュメモリシステムに比較して、半分近くにまで削減できる。この効果は、ウェーの数が増加するにしたがって、顕著となる。

【0016】例えば、図3のような3個以上のウェーを持つnウェーセットアソシアティブ方式によるキャッシュメモリシステムを考える。このキャッシュメモリシステムは、タグアドレスとインデックスアドレスを保持するアドレスレジスタ21と、(n+1)個のタグメモリ23-0~23-nと、このタグメモリのそれぞれに対応して設けられた(n+1)個のデータメモリ25-0~25-nと、夫々のウェー同士の比較で最近の使用状況を示すLRUビットを保持するLRUビットレジスタ27と、夫々のタグメモリに設けられ、アドレスレジスタ21からのタグアドレスと夫々のタグメモリからのタグアドレスとのヒット/ミスを判定する(n+1)個のタグ比較器29-0~29-nと、このタグ比較器29-0~29-nからのヒット/ミス信号とLRUビットの情報からメモリアクセスに必要な制御信号を出力するヒット制御回路31と、キャッシュヒットの場合、このヒット制御回路31からの信号を受け、データメモリ25-0~25-nのどちらかのデータを選択して出力するウェーセクタ33を備えている。

【0017】このようなnウェーセットアソシアティブ方式によるキャッシュメモリシステムによれば、タグメモリに対する参照は、常に(n+1)個のウェー全てに対して行われる。もちろん、その中でヒットするのは1つだけであるが、電力はそのヒットするウェーで消費される量の(n+1)倍の量が消費されてしまう。すなわち、図4に示したように、1つのウェーのみがヒットするが、残りのn-0個のウェーはミスするのにも拘わらずそこで電力が無駄に消費される。このような場合、本発明が極めて有効である。

【0018】図5及び図6を参照して、3個以上のウェーを持つnウェーセットアソシアティブ方式によるキャッシュメモリシステムに対して、本発明が適用した第2

の実施例を説明する。図5は、この第2の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。又、図6は、この方式によるキャッシングのタイミングを説明するタイミングチャートである。

【0019】このキャッシュメモリシステムは、タグアドレスとインデックスアドレスを保持するアドレスレジスタ41と、(n+1)個のタグメモリ43-0~43-nと、このタグメモリのそれぞれに対応して設けられた(n+1)個のデータメモリ45-0~45-nと、夫々のウェー同士の比較で最近の使用状況を示すLRUビットを保持するLRUビットレジスタ47と、夫々のタグメモリに設けられ、アドレスレジスタ41からのタグアドレスと夫々のタグメモリからのタグアドレスとのヒット/ミスを判定する(n+1)個のタグ比較器49-0~49-nと、このタグ比較器49-0~49-nからのヒット/ミス信号とLRUビットの情報からメモリアクセスに必要な制御信号を出力するヒット制御回路51と、キャッシュヒットの場合、このヒット制御回路51からの信号を受け、データメモリ45-0~45-nのどちらかのデータを選択して出力するウェーセクタ53を備えている。

【0020】ここで、従来の方法とは異なり、タグメモリへの最初のアクセス（参照）は、(n+1)個のウェーの内1つのみに対して行われる。この制御を行うために、タグメモリ45-0~45-nとタグ比較器49-0~49-nには、MRUビットレジスタ57に接続されたアクセス制御回路55が設けられている。

【0021】この実施例では、参照頻度情報をLRUビットレジスタ47ではなく、MRUビットレジスタ57から得ている。この理由は、LRUビットレジスタは、ウェーの中から破棄するウェーを1つ選択する目的で設けられているが、本発明では最も最近ヒットしたウェーを1つ選択するのが目的であり、3ウェー以上の場合必ずしも適切ではないためである。MRUビットレジスタ57は、キャッシュヒットがあれば、該当するウェーを示すMRU (Most Recently Used) ビットを立てる。このMRUビットレジスタ57は、新たなキャッシュヒット毎に更新される。従って、このアクセス制御回路55は、MRUビットレジスタ57から参照頻度情報を得て、最も最近ヒットしたウェーに対してのみ参照を行うことができる。

【0022】すなわち、図6の上側に示すように、ウェー0が最も最近ヒットしたウェーであれば、そこに対してのみ参照が行われ、ヒットすれば対応するデータメモリ45-0のデータが選択される。この場合、図3で示した従来例と比較すると、タグメモリのアクセスに消費される電力は約1/(n+1)となる。

【0023】通常のキャッシュメモリの使用方法では、最初のアクセスでヒットするウェーが多いが、ミスの場合

は次のような制御方法が取られる。すなわち、図6の下側に示すように、ウェイ0以外の全てのウェイに対して同時に参照が行われるのである。そして、ヒットすれば対応するデータメモリのデータが選択される。これは、最も最近ヒットしたウェイでミスした場合、別のウェイでもミスが繰り返されることを避けるためである。

【0024】次に、第1の実施例と同様に、2ウェイセットアソシアティブ方式によるキャッシュメモリシステムに対して本発明を適用した別の例を示す。図7は、本発明の第3の実施例による制御方式を用いたセットアソ

シアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。

【0025】図7と図1を比較すれば分かるように、このキャッシュメモリシステムは、本発明の第1の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムとほとんど同じである。しかし、ここでは、アクセス制御回路65が、参照モード制御信号MODEを受けるところが違っている。参照モード制御信号MODEは、本発明によるキャッシュメモリの参照方式を用いるモードか、全てのウェイにたいして参照する従来の方式を用いるモードかをしめす信号である。

【0026】参照モード制御信号MODEがアクティブであれば、このキャッシュメモリシステムは、第1の実施例のように、省電力に優れた動作を行う。もし、参照モード制御信号MODEがアクティブでなければ、このキャッシュメモリシステムは、従来と同様に全てのウェイに対して1度に参照を行い、電力消費量が多いものの、高速な動作が可能となる。ユーザーは使用状況に応じて、適宜2つのモードを使い分けることが出来る。

【0027】

【発明の効果】即ち、本発明によれば、低消費電力のキャッシュメモリシステムが実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。

【図2】本発明の第1の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムによる、キャッシングのタイミングを説明するタイミングチャートである。

【図3】従来のnウェイセットアソシアティブ方式によるキャッシュメモリシステムである。

【図4】従来のnウェイセットアソシアティブ方式によるキャッシュメモリシステムによる、キャッシングのタイミングを説明するタイミングチャートである。

【図5】本発明の第2の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。

【図6】本発明の第2の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムによる、キャッシングのタイミングを説明するタイミングチャートである。

【図7】本発明の第3の実施例による制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。

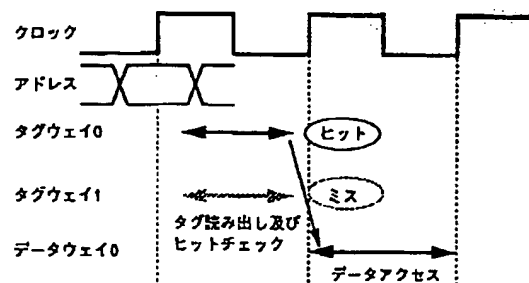
【図8】従来の制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムを示すブロックダイアグラムである。

【図9】従来の制御方式を用いたセットアソシアティブ方式のキャッシュメモリシステムによる、キャッシングのタイミングを説明するタイミングチャートである。

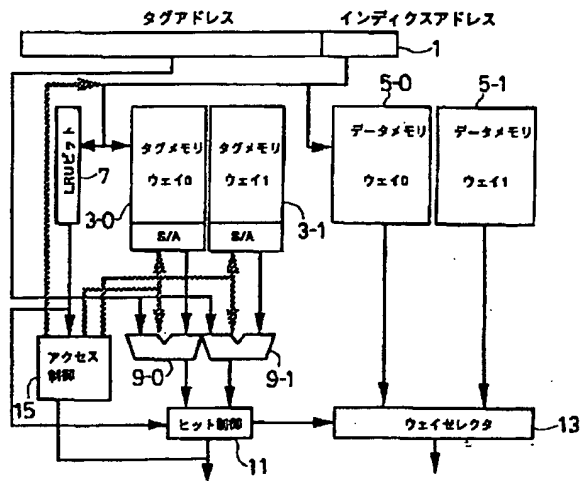
【符号の説明】

- 1、21、41、101 アドレスレジスタ
- 3-n、23-n、43-n、103-n タグメモリ
- 5-n、25-n、45-n、105-n データメモリ
- 7、27、47、107 LRUビットレジスタ
- 9-n、29-n、49-n、109-n タグ比較器
- 11、31、51、111 ヒット制御回路
- 13、33、53、113 ウェイセクタ
- 15、35、55 アクセス制御回路
- 57 MRUビットレジスタ

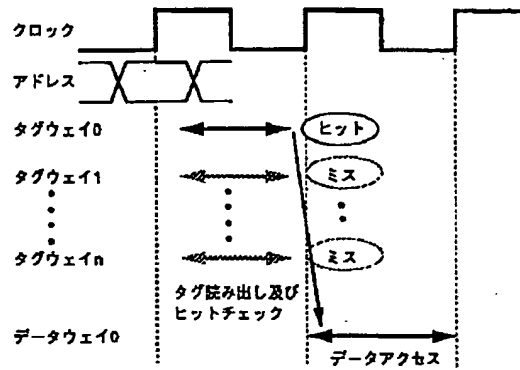
【図9】



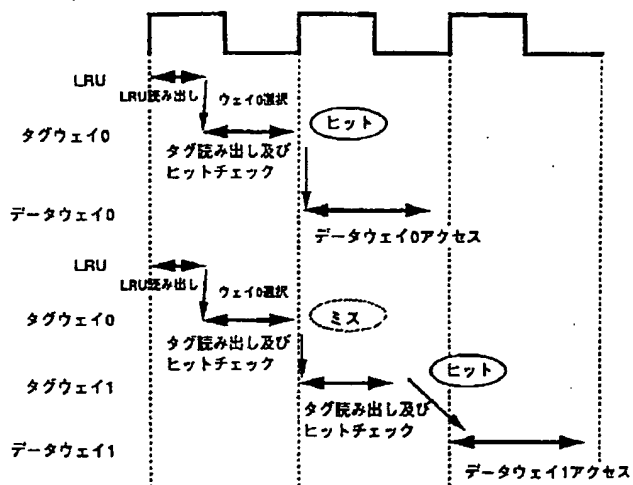
【図1】



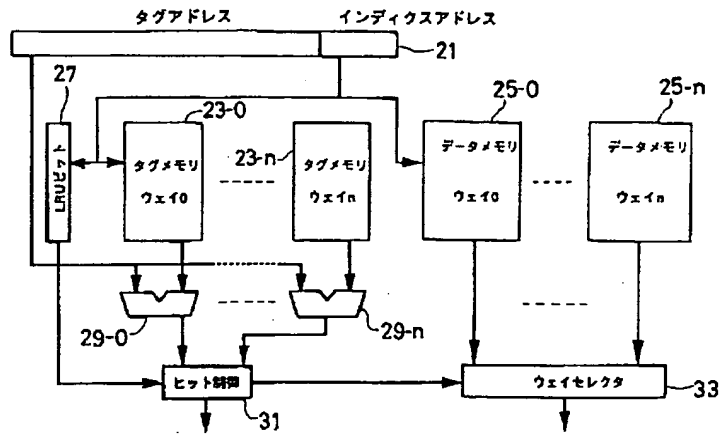
【図4】



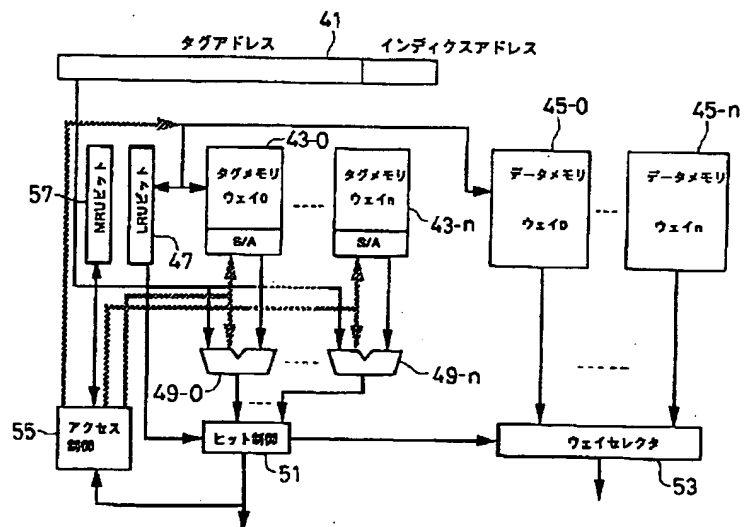
【図2】



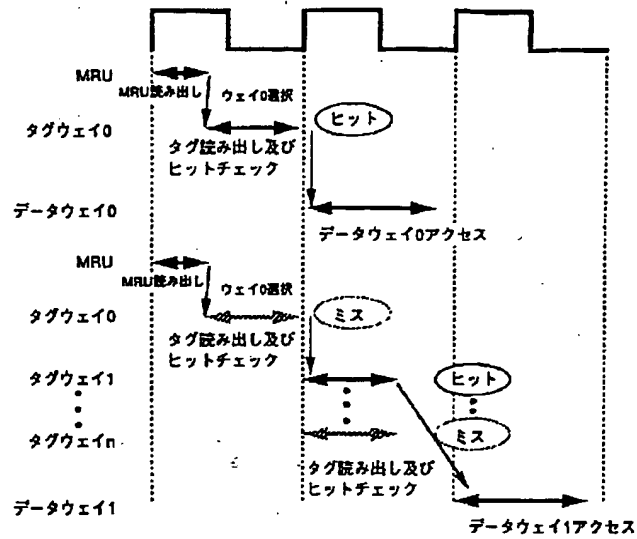
【図3】



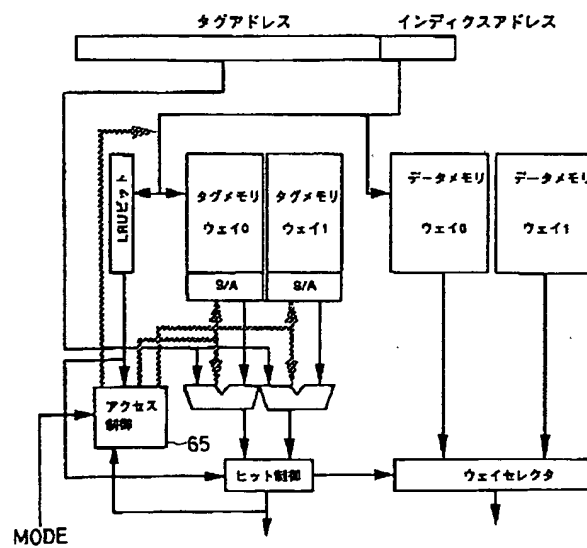
【図5】



【図6】

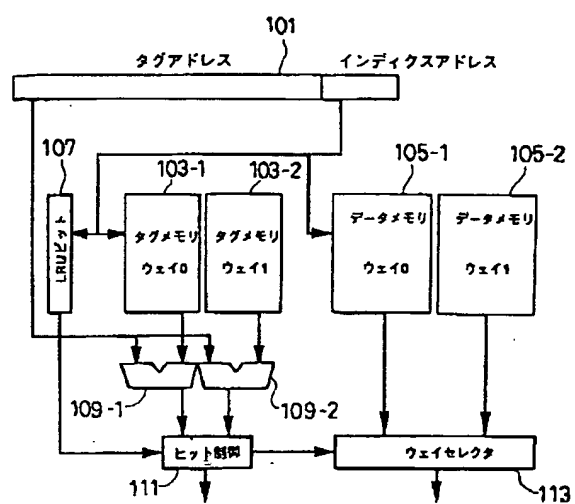


【図7】





【図8】



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office